

## *SoundPlus™* +3V、18ビット ステレオ・オーディオD/Aコンバータ

### 特 長

- マルチレベル・デルタ-シグマ方式
- 16/18ビット・インターフェース可能
- 高性能  
 THD+N : 0.003%(標準)  
 ダイナミックレンジ : 96dB(標準)  
 S/N比 : 100dB(標準)
- 2ch同位相電圧出力  
 $V_O = 0.62 \times V_{CC}(V_{PP})$
- サンプルング・レート  $f_s$  (32/44.1/48kHz)
- システム・クロック : 256 $f_s$ /384 $f_s$ 対応
- 8倍オーバー・サンプルング・デジタル  
 フィルタ内蔵
- 2次アナログ・ローパスフィルタ内蔵
- マルチファンクション  
 デジタル・ディエンファシス  
 ソフトミュート
- +3Vまたは+5V単一電源動作
- パッケージ : 小型20ピンSSOP

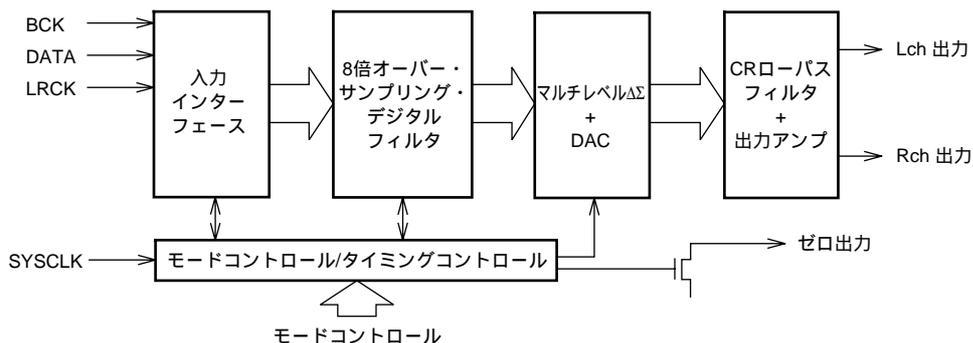
### 概 要

PCM1718はバー・ブラウンが誇るマルチレベル・デルタ-シグマ方式DACにデジタルフィルタと出力オペアンプを1チップにコンベーションさせた、デュアルCMOSデルタ-シグマ型ハイ・コストパフォーマンスD/Aコンバータです。

PCM1718は32kHzから48kHzのサンプルング・レートに対応でき、システム・クロックは256 $f_s$ /384 $f_s$ のいずれも動作可能で、256 $f_s$ /384 $f_s$ の自動選択機能を内蔵しています。入力デジタル・データは、スタンダード18ビット、IIS 16/18ビットフォーマットのいずれにも対応できます。このインターフェース・フォーマット選択はNote PCにおけるZVport (Zoomed Video) インターフェース・フォーマットに対応でき、直接インターフェースすることができます。

デジタル・オーディオのあらゆるアプリケーションに対応するためPCM1718は豊富なコントロール・ファンクションを持っています。ソフトミュート、ディエンファシス、インフィニティ・ゼロ検出等、実アプリケーションに応じた制御が可能です。

PCM1718の電源電圧は、単一3Vまたは5Vで動作可能であり、小型20ピンSSOP、高性能特性とあわせて、ZVport対応PCを始めとするCD-DA、CD-ROM、MPEG応用製品、セット・トップ・ボックス、カー・オーディオ、ポータブル・オーディオ、サウンドカード等広範囲なアプリケーションに使用できます。



# 電気的特性

特に記述のない限り、 $T_A=+25$ 、 $V_{CC}=V_{DD}=+5.0V$ 、 $f_s=44.1kHz$ 、 $SYSCLK=384f_s$ 、18ビット・データ入力、測定帯域20kHzにおけるものです。

パラメータ	条件	PCM1718E			単位
		最小	標準	最大	
分解能			16		Bits
デジタル入出力					
入力ロジックレベル	$V_{IH}^{(1)}$ $V_{IL}^{(1)}$ $V_{IH}^{(2)}$ $V_{IL}^{(2)}$ $V_{IH}^{(3)}$ $V_{IL}^{(3)}$	0.7 $V_{DD}$  0.7 $V_{DD}$  0.64 $V_{DD}$		0.3 $V_{DD}$  0.3 $V_{DD}$	VDC VDC VDC VDC VDC
入力ロジック電流	$I_{IH}^{(4)}$ $I_{IL}^{(4)}$ $I_{IH}^{(5)}$ $I_{IL}^{(5)}$ $I_{IH}^{(3)}$ $I_{IL}^{(3)}$			0.28 $V_{DD}$ -60 -120 1 -1 40 -40	$\mu A$ $\mu A$ $\mu A$ $\mu A$ $\mu A$ $\mu A$
出力ロジックレベル(5V電源)	$V_{OH}^{(6)}$ $V_{OL}^{(6)}$ $V_{OH}^{(7)}$ $V_{OL}^{(7)}$	3.8		1.0 1.0	VDC VDC
出力ロジックレベル(3V電源)	$V_{OH}^{(6)}$ $V_{OL}^{(6)}$ $V_{OH}^{(7)}$ $V_{OL}^{(7)}$	1.6		1.0 1.0	VDC VDC
インターフェース・フォーマット データ・フォーマット 基準サンプリング周波数 システム・クロック周波数	$V_{IH}=3.2V$ $V_{IL}=1.4V$ $I_{OH}=-5mA$ $I_{OL}=+5mA$ $I_{OH}=-3mA$ $I_{OL}=+3mA$ $I_{OL}=+3mA$ 256 $f_s/384f_s$		スタンダード/IIS フォーマット選択可 16/18bits MSBファースト 2'sコンプリ		
DC特性					
ゲイン・エラー			$\pm 1.0$	$\pm 5.0$	% of FSR
ゲイン・エラー、チャンネル間ミスマッチ			$\pm 1.0$	$\pm 5.0$	% of FSR
バイポーラ・ゼロ誤差	$V_O=1/2 V_{CC}$ at BPZ		$\pm 30$		mV
ダイナミック特性 <sup>(8)</sup> (5V電源)					
THD+N $V_O=0dB(F/S)$	$f=991Hz$		0.003	0.01	%
$V_O=-60dB$	$f=991Hz$		2.0		%
ダイナミック・レンジ	EIAJ、Aウエイト	90	96		dB
S/N比	EIAJ、Aウエイト	92	100		dB
チャンネルセパレーション	$f=991Hz$	90	97		dB
レベルリニアリティ・エラー	$f=991Hz$ 、 $-90dB$		$\pm 0.5$		dB
ダイナミック特性 <sup>(8)</sup> (3V電源)					
THD+N $V_O=0dB(F/S)$	$f=991Hz$		0.005		%
ダイナミック・レンジ	EIAJ、Aウエイト		91		dB
S/N比	EIAJ、Aウエイト		94		dB
アナログ出力					
出力電圧	0dB(F/S)		0.62 $V_{CC}$		$V_{p-p}$
センター電圧			1/2 $V_{CC}$		VDC
負荷抵抗(AC負荷)		5			k $\Omega$
デジタル・フィルタ特性					
通過帯域				0.445 $f_s$	Hz
阻止帯域		0.555 $f_s$			Hz
通過帯域リップル				$\pm 0.17$	dB
阻止帯域減衰量		-35			dB
ディエンファシス・エラー	$f_s 32kHz \sim 48kHz$	-0.2		+0.55	dB
群遅延			11.125/ $f_s$		sec
内蔵アナログ・フィルタ特性					
周波数特性	$f=20kHz$		-0.16		dB
電源供給					
電源電圧 + $V_{CC}$ 、+ $V_{DD}$	$V_{CC}=V_{DD}$	2.7	5.0	5.5	VDC
電源電流 + $I_{CC}$ 、+ $I_{DD}$ <sup>(9)</sup>	$V_{CC}=V_{DD}=+5.0V$		18.0	25	mA
	$V_{CC}=V_{DD}=+3.0V$		9.0	15.0	mA
	$V_{CC}=V_{DD}=+5.0V$		90	125	mW
消費電力 $P_D$					
温度範囲					
動作		-25		+85	
保存		-55		+125	

注：(1)4ピン～6ピンおよび14ピン (LRCIN, DIN, BCKIN, MODE) の各端子に適用。(2)15ピン～18ピン (RSTB, MD/DMO, MC/DMI, ML/MUTE) の各端子に適用。(3)1ピン(XTI)端子に適用。(4)14ピン～18ピン (FORMAT, RSTB, DMO, DMI, MUTE) 端子に適用(プルアップ抵抗有り)。(5)4ピン～6ピン (LRCIN, DIN, BCKIN) に適用(プルアップ抵抗無し)。(6)19ピン (CLKO) に適用。(7)7ピン (ZERO) に適用(オープンドレイン出力)。(8)20kHz帯域制限、シバソク社725C(平均値モード、400Hz HPF ON, 30kHz LPF ON)。(9)19ピン (CLKO)、20ピン (XTO)共に無負荷。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

## ピン構成

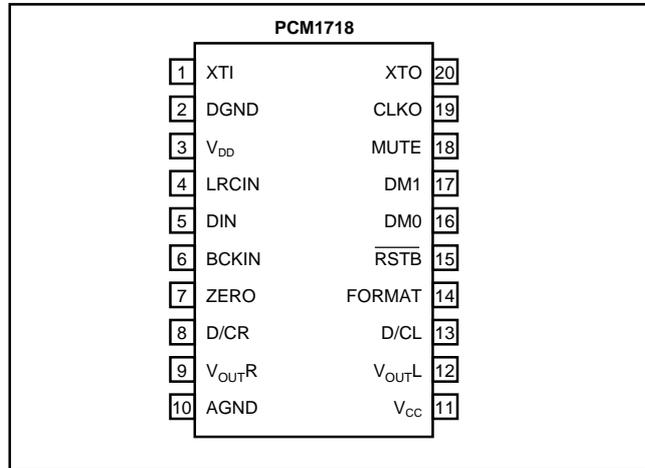
ピン	名称	I/O	機能
1	XTI	IN	クリスタル発振器入力端子および外部クロック入力端子
2	DGND	-	デジタル・グラウンド端子
3	V <sub>DD</sub>	-	デジタル電源端子
4 <sup>(2)</sup>	LRCIN	IN	基準サンプリング・クロック入力端子
5 <sup>(2)</sup>	DIN	IN	PCMオーディオデータ入力端子、標準/IISフォーマットが選択可能
6 <sup>(2)</sup>	BCKIN	IN	PCMオーディオデータ用ビット・クロック入力端子
7	ZERO	OUT	インフィニティ・ゼロ・フラグ出力端子、この端子はオープンドレインです。
8	D/C R	-	Rch、アナログ出力アンプ・コモン端子
9	V <sub>OUT</sub> R	OUT	Rch、アナログ電圧出力端子
10	AGND	-	アナログ・グラウンド端子
11	V <sub>CC</sub>	-	アナログ電源端子
12	V <sub>OUT</sub> L	OUT	Lch、アナログ電圧出力端子
13	D/C L	-	Lch、アナログ出力アンプ・コモン端子
14 <sup>(1)</sup>	FORMAT	IN	インターフェース・フォーマット選択端子。 H: IIS、L: スタンダード
15 <sup>(1)(2)</sup>	RSTB	IN	リセット端子、この端子はアクティブ"L"です。
16 <sup>(1)(2)</sup>	DM0	IN	ディエンファシス制御端子。
17 <sup>(1)(2)</sup>	DM1	IN	ディエンファシス制御端子。
18 <sup>(1)(2)</sup>	MUTE	IN	MUTE制御端子。H: OFF、L: ON
19	CLKO	OUT	XTI (1ピン)の反転出力
20	XTO	OUT	クリスタル発振器部出力端子

注：(1)内部でプルアップされています。(2)シュミット・トリガ入力です。

## 絶対最大定格

保存温度	-55 ~ +125
動作温度	-25 ~ +85
電源電圧	+6.5V
電源電圧差	±0.1V
入力電圧	-0.3V ~ V <sub>DD</sub> +0.3V
消費電力	200mW
半田耐熱性	260 5秒
熱抵抗 JA	70 /W

## ピン配置

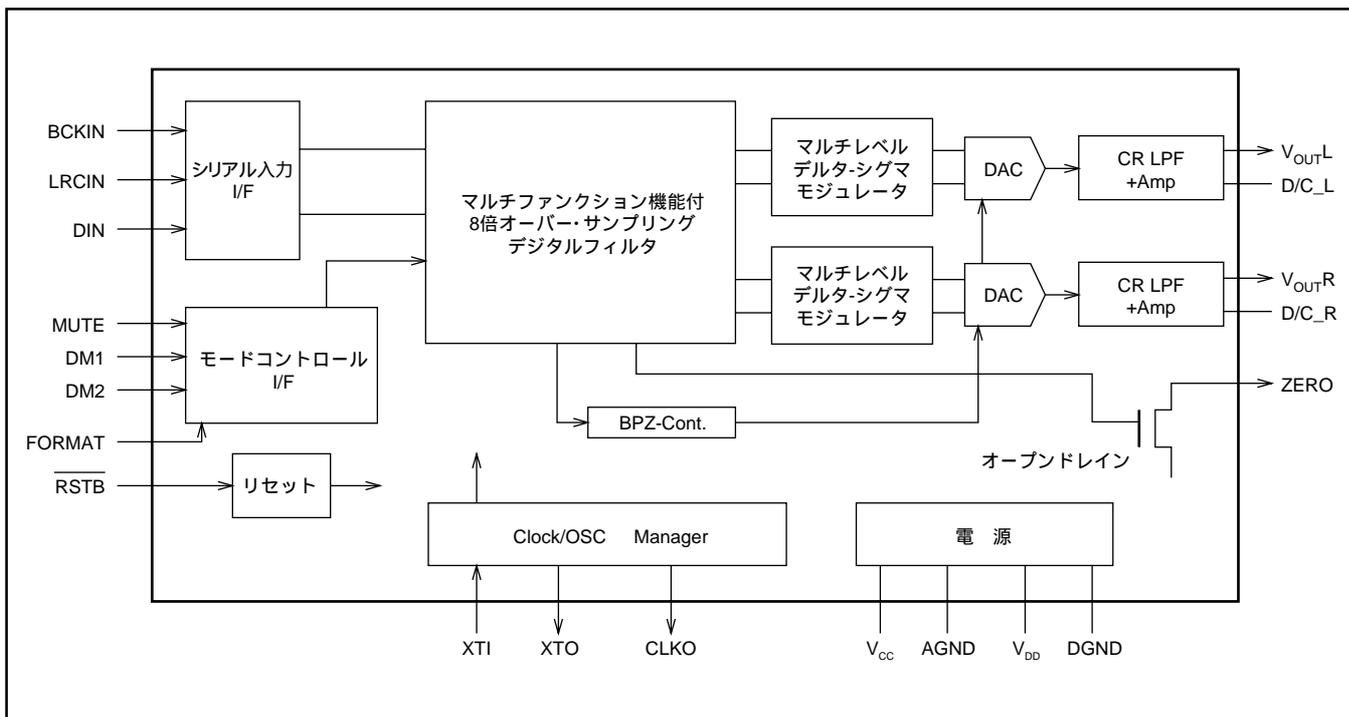


## パッケージ情報<sup>(1)</sup>

モデル	パッケージ
PCM1718E	20ピンSSOP

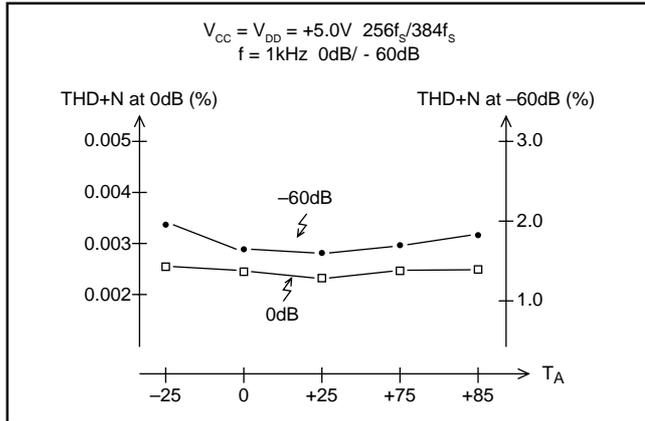
注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

## ブロック図

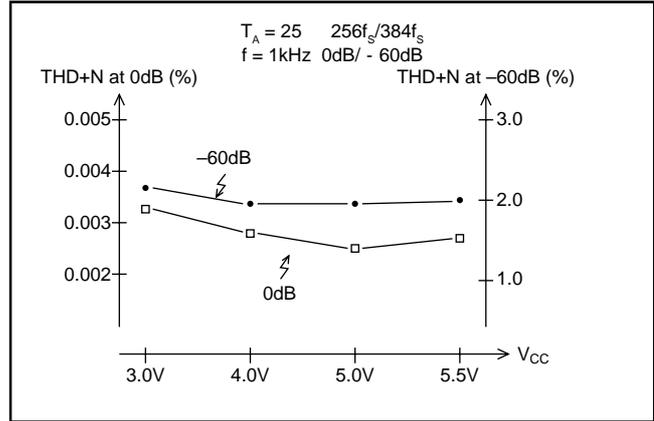


# 代表的性能曲線

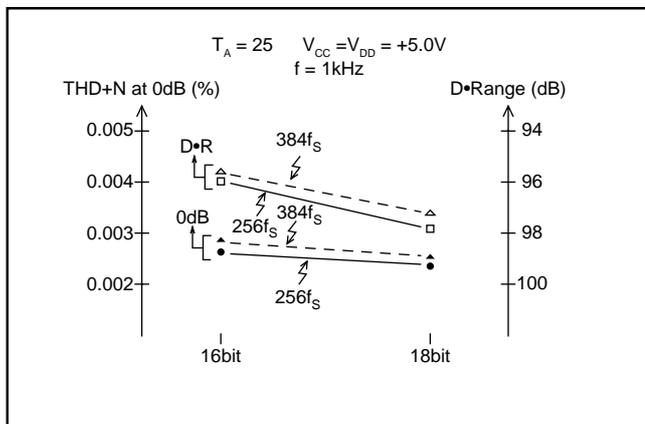
THD+N 対 周囲温度



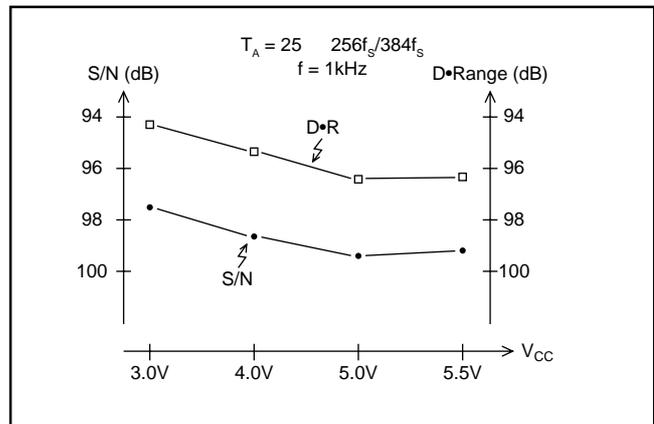
THD+N 対 電源電圧



THD+N、ダイナミックレンジ 対 動作条件



S/N比、ダイナミックレンジ 対 電源電圧



# ΔΣセクションの動作原理

PCM1718のΔΣセクションでは、振幅方向に5レベルの分解能をもつ5レベル量子化器を用いて、5レベルのΔΣ変調を行います。デジタルフィルタでオーバー・サンプリングされた16ビットのデータはΔΣ変調された5レベル(0、1、2、3、4)信号に変換されます。

図1に、この5レベルΔΣ変調器のブロック図を示します。ΔΣ次数は3次としていますが、一般的な1ビット(2レベル)ΔΣ変調に比べて、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部とΔΣ変調部との総合オーバー・サンプリング・レートは

256f<sub>s</sub>時では64f<sub>s</sub>、384f<sub>s</sub>時では48f<sub>s</sub>となっています。

一般的なΔΣ変調では次数を高くすると系が不安定になる問題がありますが、PCM1718では5レベルΔΣ変調および系全体の位相補償により優れた安定性を得ています。

図2に、ΔΣ変調後の量子化雑音レベルの理論スペクトラム特性(f<sub>s</sub>=44.1kHz、システム・クロック=384f<sub>s</sub>、信号周波数f<sub>sig</sub>=1kHz)を示します。PCM1718では、5レベルΔΣ変調により、オーディオ帯域において-120dB以上量子化雑音を抑圧しています。

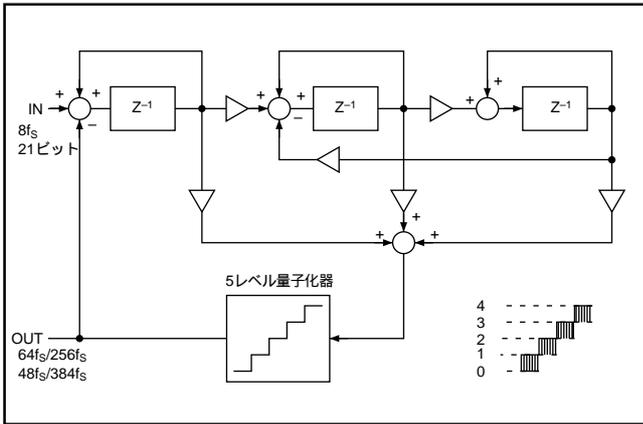


図1. 5レベルΔΣ変調器のブロック図

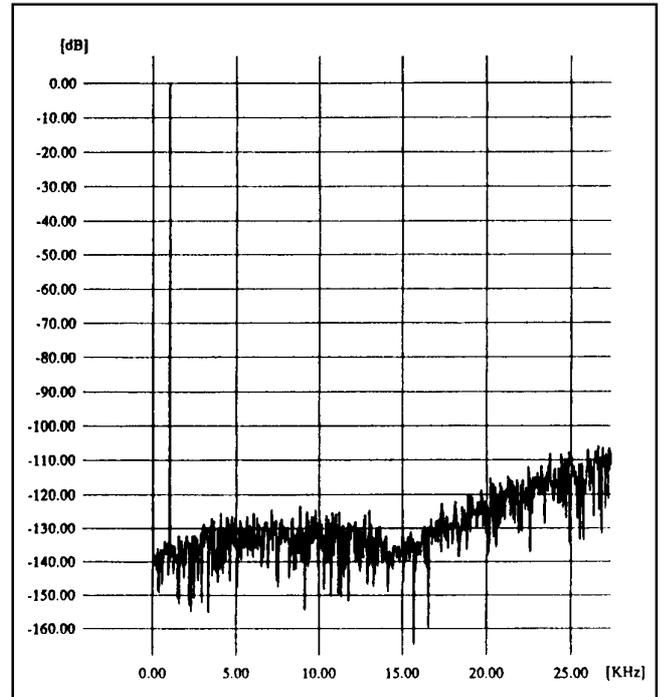


図2. 量子化雑音特性

# マルチレベルΔΣの耐ジッタ特性

PCM1718は、5レベル量子化器の使用により、他の一般的な1ビットDACに比べてシステム・クロックのジッタ耐量に優位性を持っています。図3にシミュレーションによる、ジッタ量対ダイナミック・レンジの比較データを示します。

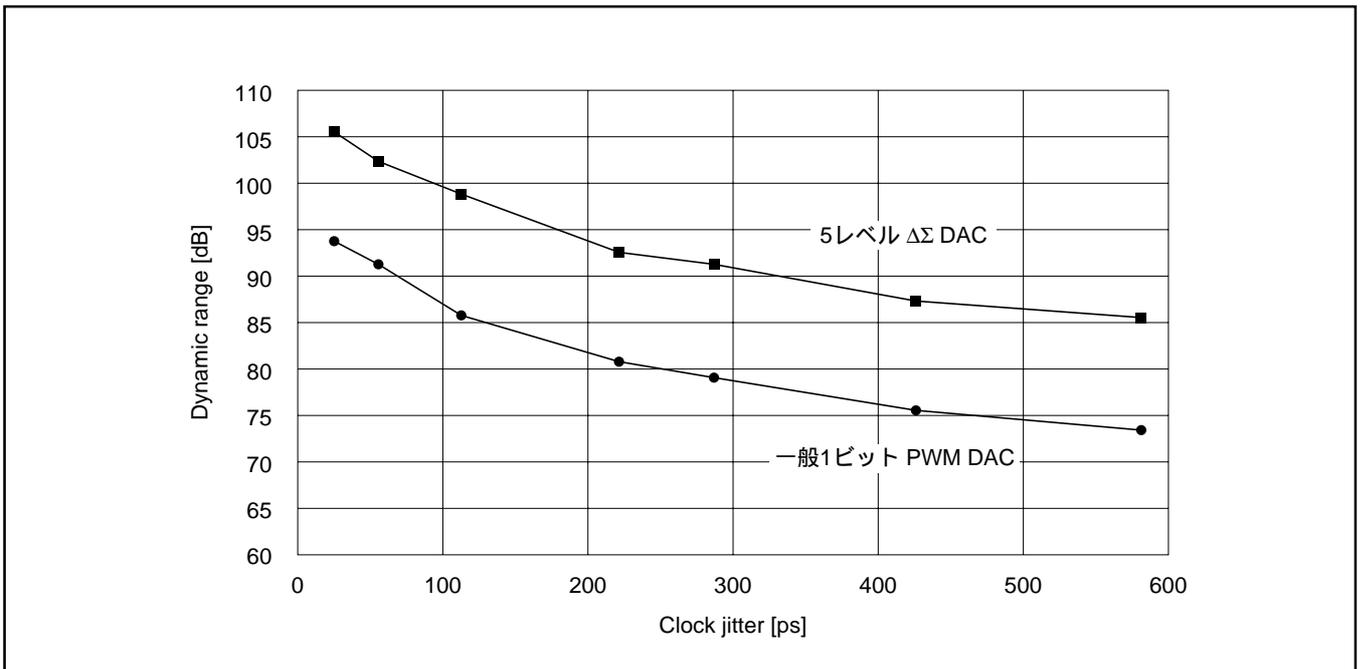


図3. ジッタ量対ダイナミック・レンジ シミュレーション・データ

# オーディオデータ・インターフェース

PCM1718は、LRCIN、DIN、BCKINにより、外部システムとインターフェースします。入力データ・フォーマットはMSBファースト、2'sコンプリで後詰めの18ビット・スタンダード

フォーマットまたは16/18ビットIISフォーマットの選択が可能です。データ・フォーマットとタイミング規定を図4および図5に示します。

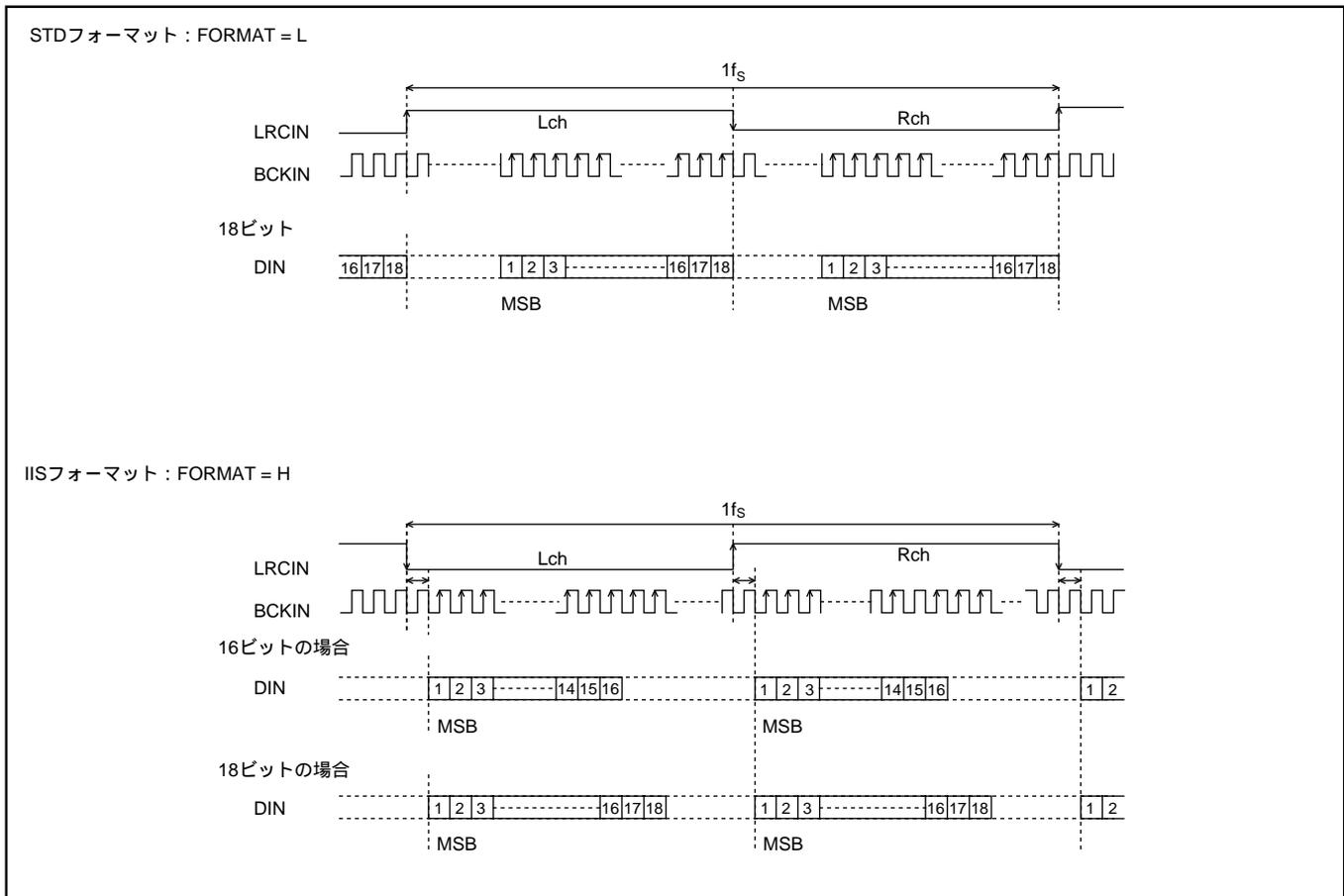


図4. オーディオデータ入力フォーマット

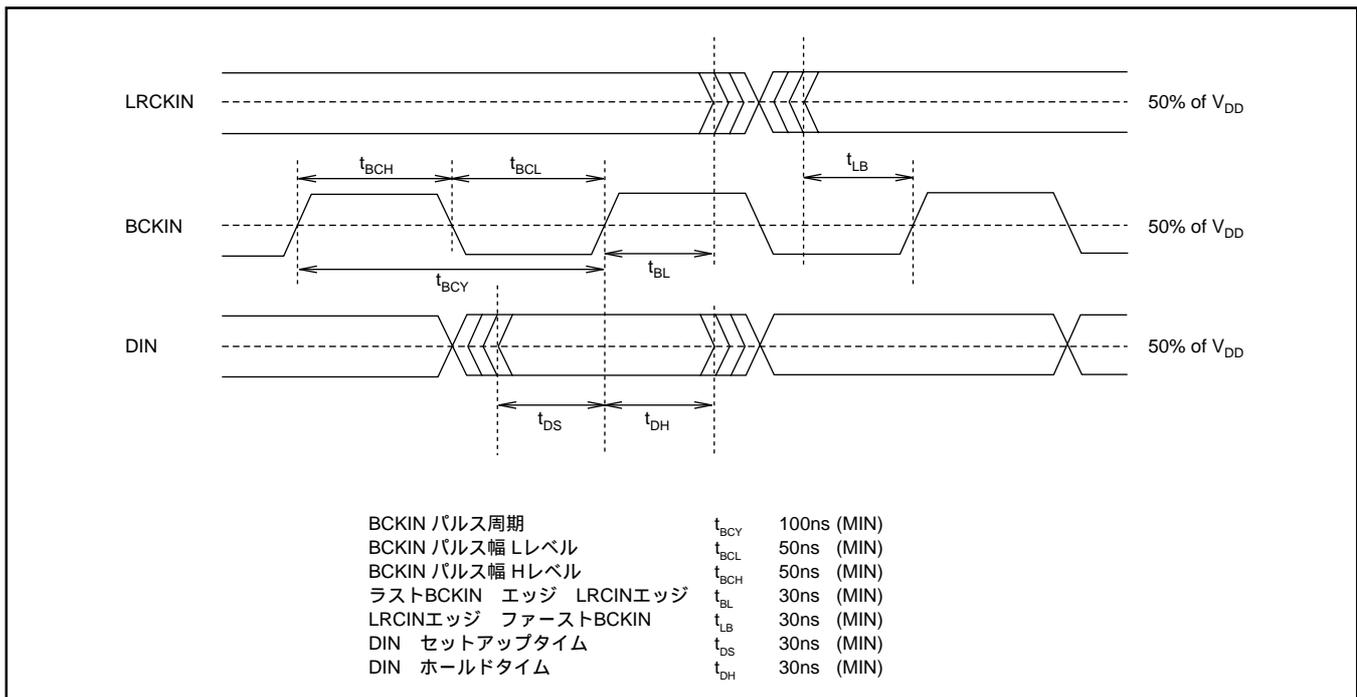


図5. 入力タイミング規定

# システム・クロック

PCM1718のシステム・クロックは、 $256f_s$ および $384f_s$ のいずれも対応可能で、内部に $256f_s/384f_s$ の自動判別機能を有しているため、外部より $256f_s/384f_s$ の選択制御は必要ありません。システム・クロックはXTI(1ピン)–XTO(20ピン)間にクリスタル発振子を接続するか、XTI(1ピン)に外部からクロックを直接入力することができます。外部よりクロックを供給する場合、XTO(20ピン)は必ずオープン(未使用)として下さい。

また、システム・クロックとLRCINクロック(基準サンプリング・レート)は同期をとる必要がありますが、位相を正確に合わせる必要はありません。

PCM1718の内部システム・クロック回路とシステム・クロック周波数例、外部よりクロックを供給する場合のタイミング規定を図6および図7に示します。

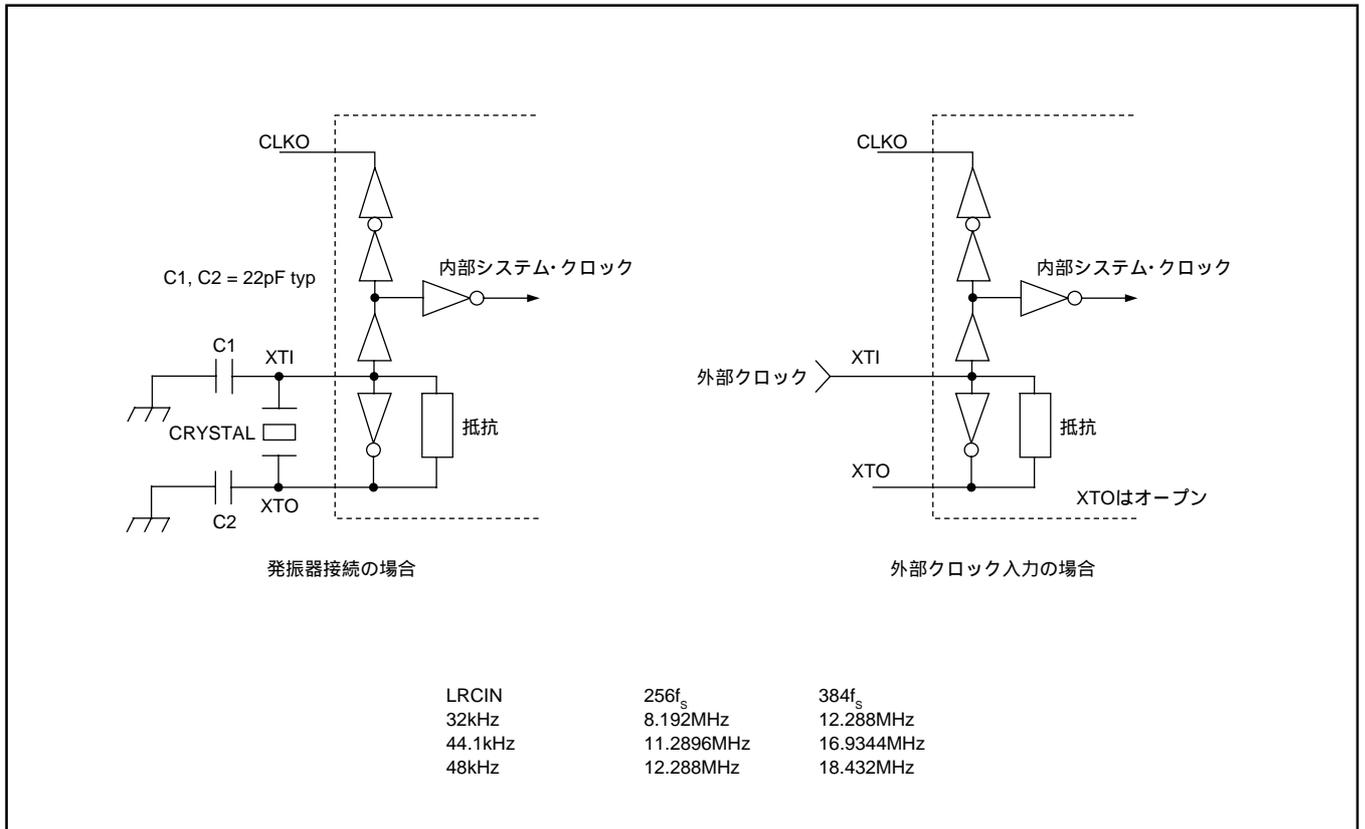


図6. PCM1718システム・クロック部内部回路およびタイミング規定

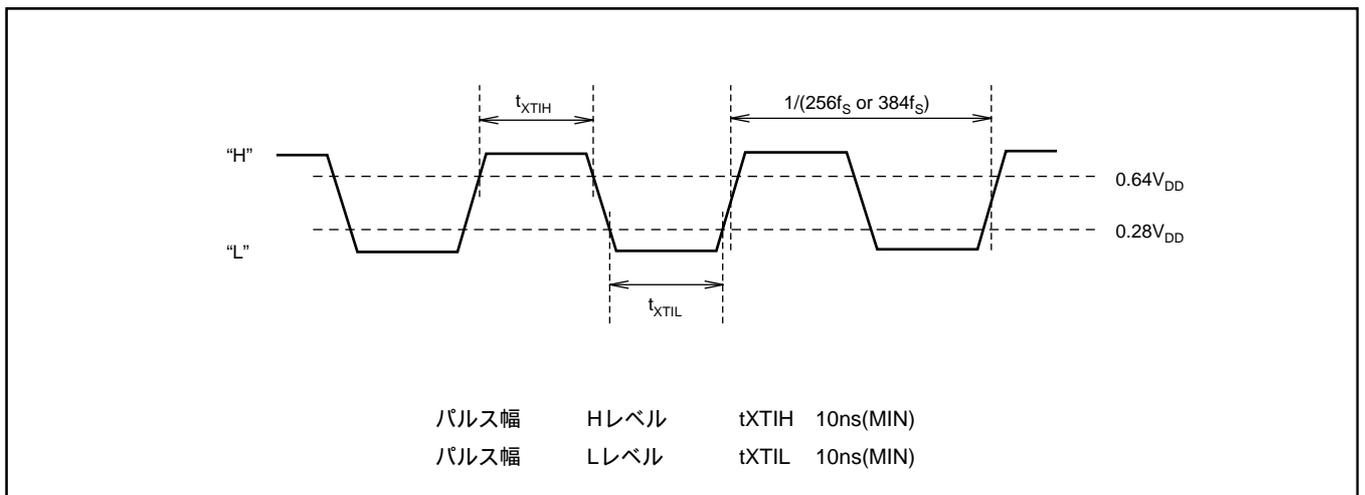


図7. PCM1718システム・クロック(外部より供給)タイミング規定

# リセット・オペレーション

PCM1718には、次に示す内蔵のパワーオン・リセットと外部からのRSTB端子制御による2種のリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ働きをします。リセット期間中のアナログ出力は $1/2V_{CC}$  (BPZ)に固定されます。

## パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.2V(1.8Vから2.6V)を超えるとリセット動作となり、システム・クロックを1024クロックカウントした後にリセットを解除します。パワーオン・リセット使用時はRSTB(ピン15)はオープンまたはHレベルとします。

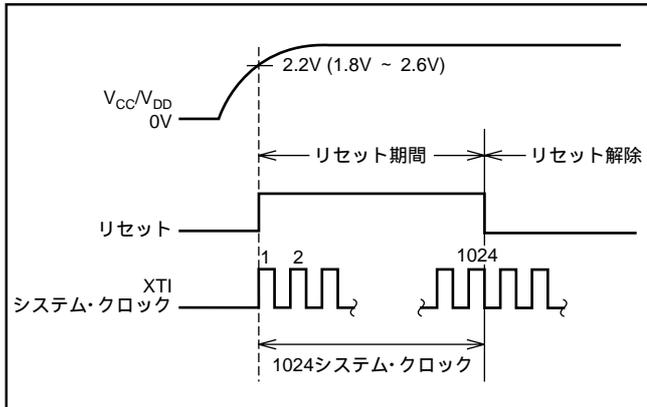


図8. パワーオン・リセット・タイミング

## 外部リセット

RSTB(ピン15)を一定期間 L 〴〵レベルにすることにより、外部からリセットをかけることができます。RSTB端子がLからHに変化した後、パワーオン・リセットと同様に1024システム・クロックのカウント後、リセット解除となるまでの間はリセット期間となります。

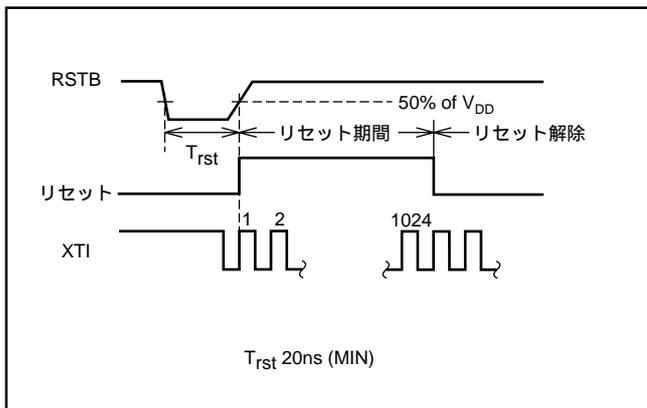


図9. 外部リセット・タイミング

# ゼロフラグ出力機能

データ入力(DIN)が65536ビット・クロック・サイクルの間連続してゼロ 0 の場合、ゼロ検出機能によりZERO端子(ピン7)が L 〴〵レベルとなります。その後、1ビット・クロック間でもデータ入力がゼロ以外となると、ZERO端子はハイ・インピーダンス状態となります。この端子はオープン・ドレイン出力なので、他の機能とOR接続をとることができます。また、このゼロフラグ出力機能はPCM1718の設定状態に関係なく、常にゼロ検出を実行します。(リセット時を除く)。

# 外部システムとの同期

PCM1718は、LRCINクロック(基準サンプリング・レート $f_s$ )とシステム・クロック( $256f_s/384f_s$ )との同期関係を常時内部でモニタしています(リセット時を除く)。

LRCINクロックの1サイクル( $1/f_s$ )の間に256または384のシステム・クロックがあれば同期関係は成立し、正常動作します。この両クロックの同期関係がズレた場合の動作は次のようになります。

## 1/f<sub>s</sub>期間内の同期ズレ

1LRCINクロック・サイクル( $1/f_s$ )の間だけ瞬時にシステム・クロックが255クロック( $256f_s$ に対し)や386クロック( $384f_s$ に対し)となった場合、このシステム・クロックのズレ時間が $\pm 5$ ビット・クロック(BCKIN)期間内であれば、正常動作を保ちます。ズレ時間が $\pm 6$ ビット・クロック期間を超えると同期外れ状態となります。

## f<sub>s</sub>が変化する場合の同期ズレ

f<sub>s</sub>が32kHzから48kHzに変化する場合等でLRCINクロックとシステム・クロックの同期が $1/f_s$ 期間以上ズレた場合は同期外れ状態となります。

## 同期外れ時のDAC出力

同期状態から同期外れ状態となると、 $1/f_s$ 期間はDAC出力は不定となり、その後 $1/2V_{CC}$  (BPZ)を出力します。また、同期外れ状態から同期状態になった場合、 $11.125/f_s$ 期間DAC出力は不定となり、その後正常出力となります。

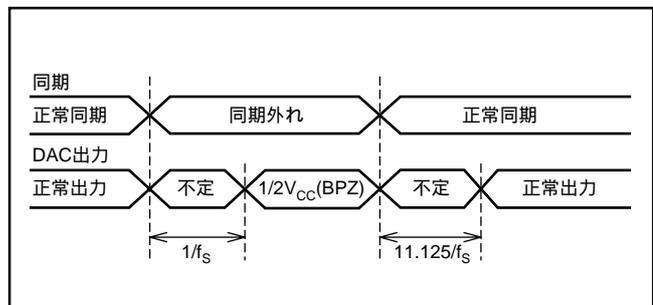


図10. 同期外れ時のDAC出力

# 動作モードの説明

PCM1718のデジタル・ファンクション機能は次の通りです。

## ディエンファシス制御

ディエンファシスの制御はDM0(ピン16)、DM1(ピン17)で行います。

### ディエンファシス制御

ピン17 (DM1)	ピン16 (DM0)	ディエンファシス	周波数
0	0	OFF	
0	1	ON	48.0kHz
1	0	ON	44.1kHz
1	1	ON	32.0kHz

## ソフトミュート制御

ソフトミュート制御はMUTE(ピン18)で行います。

ピン18 (MUTE)	ソフトミュート
H	OFF
L	ON

## フォーマット制御

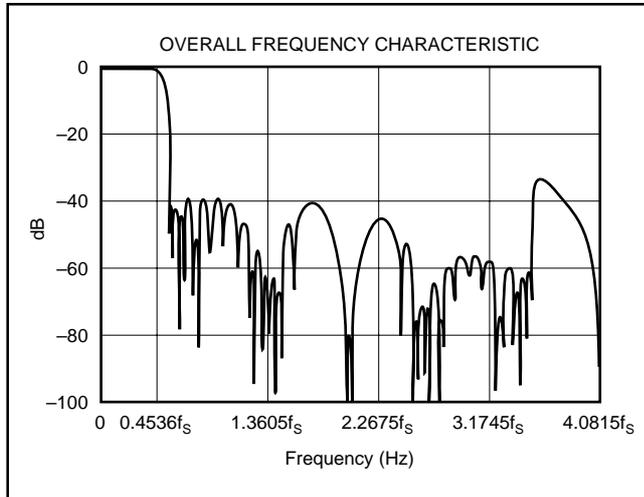
入力インターフェース・フォーマット

オーディオ・インターフェース・フォーマットの選択は、FORMAT(ピン14)で行います。

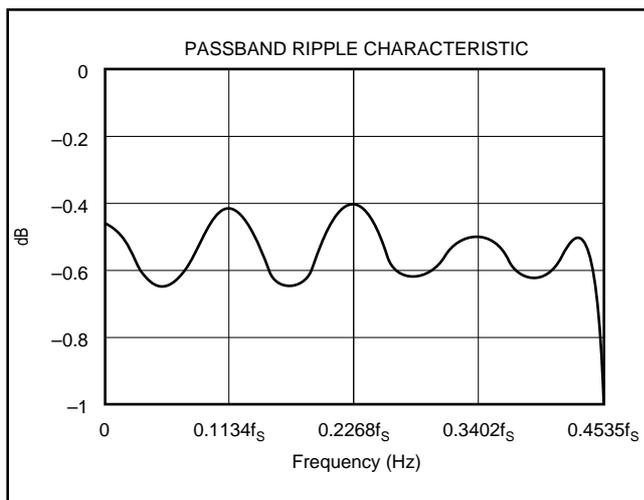
ピン14 (FORMAT)	フォーマット
H	IIS (16/18ビット)
L	スタンダード18ビット

# デジタルフィルタ特性

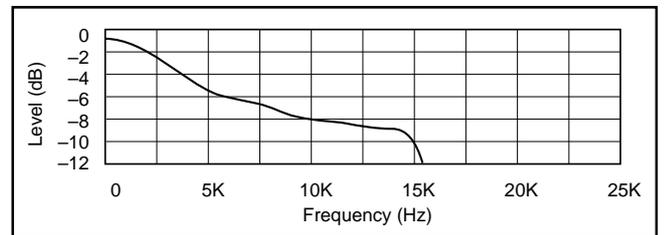
(1)周波数特性(ディエンファシス オフ、 $f_s=44.1\text{kHz}$ )



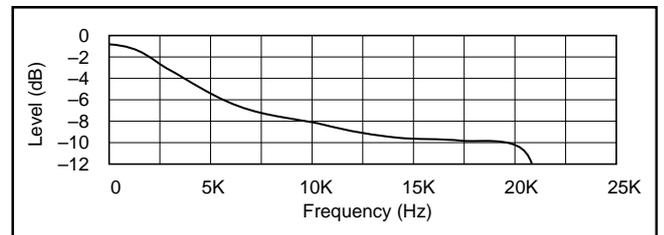
(2)通過帯域リップル特性



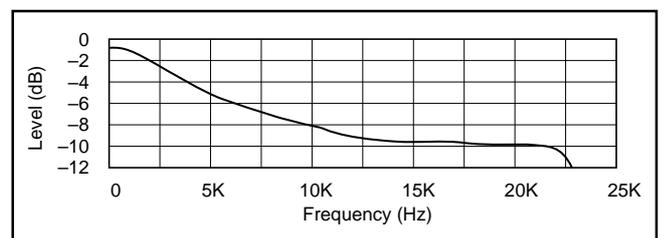
(3)ディエンファシス特性(32.0kHz)



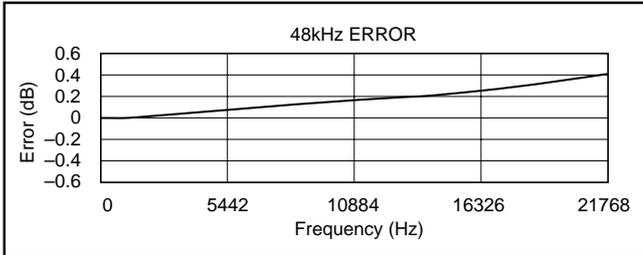
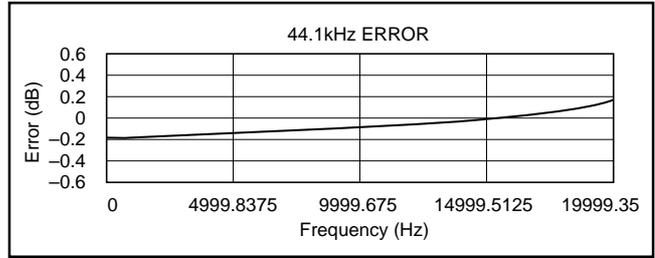
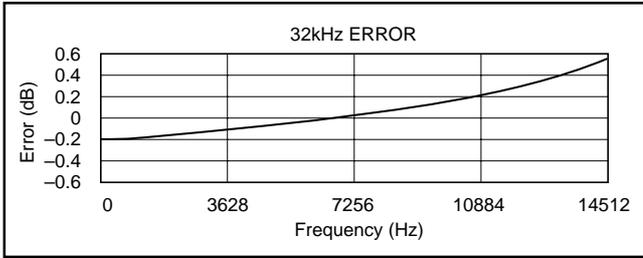
(4)ディエンファシス特性(44.1kHz)



(5)ディエンファシス特性(48.0kHz)

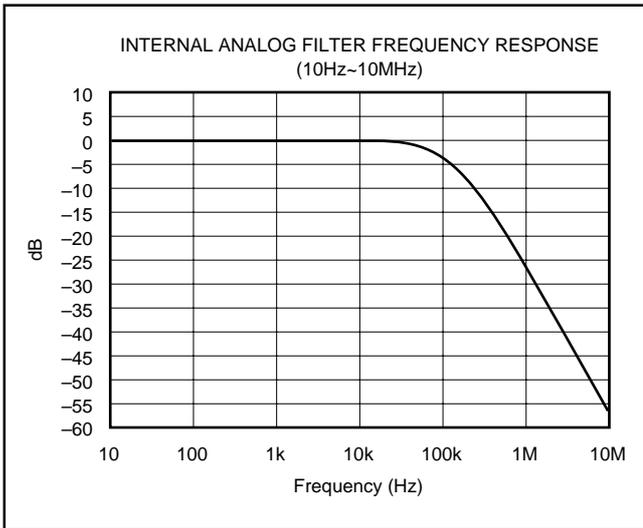


(6) ディエンファシス・エラー

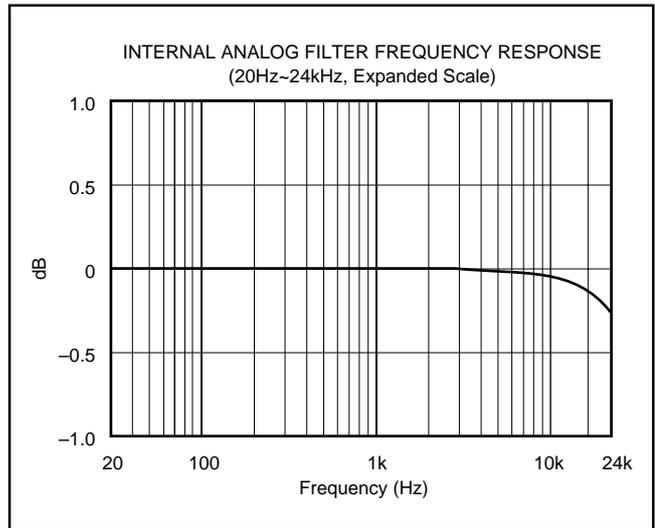


## 内蔵アナログ・フィルタ特性

(1) 1 ~ 10MHz



(2) 1 ~ 20kHz



# 基本接続回路例

図11にPCM1718の接続例を示します。この例では電源を $V_{CC}$ と $V_{DD}$ 共通とし、ノイズの少ないアナログ電源から供給しています。別電源で供給する場合、電位差は $\pm 0.1V$ 以下にしてください。バイパスコンデンサ等の外付け素子は、可能な限り最短距離で接続します。また、ピン8(D/CL)とピン13(D/CR)に付けるコ

ンデンサの容量を小さく( $1\mu F$ 以下)したり、それぞれの端子を共通接続にしてコンデンサを1個にしても、動作上問題はありません。ただし、このコンデンサと内部の抵抗で構成するバイパスフィルタのカットオフ周波数が変化し、電源ノイズの除去効果が小さくなりますので十分に注意して下さい。本データシートに記載されているダイナミック特性を得るには20kHzで帯域制限しなければなりません。

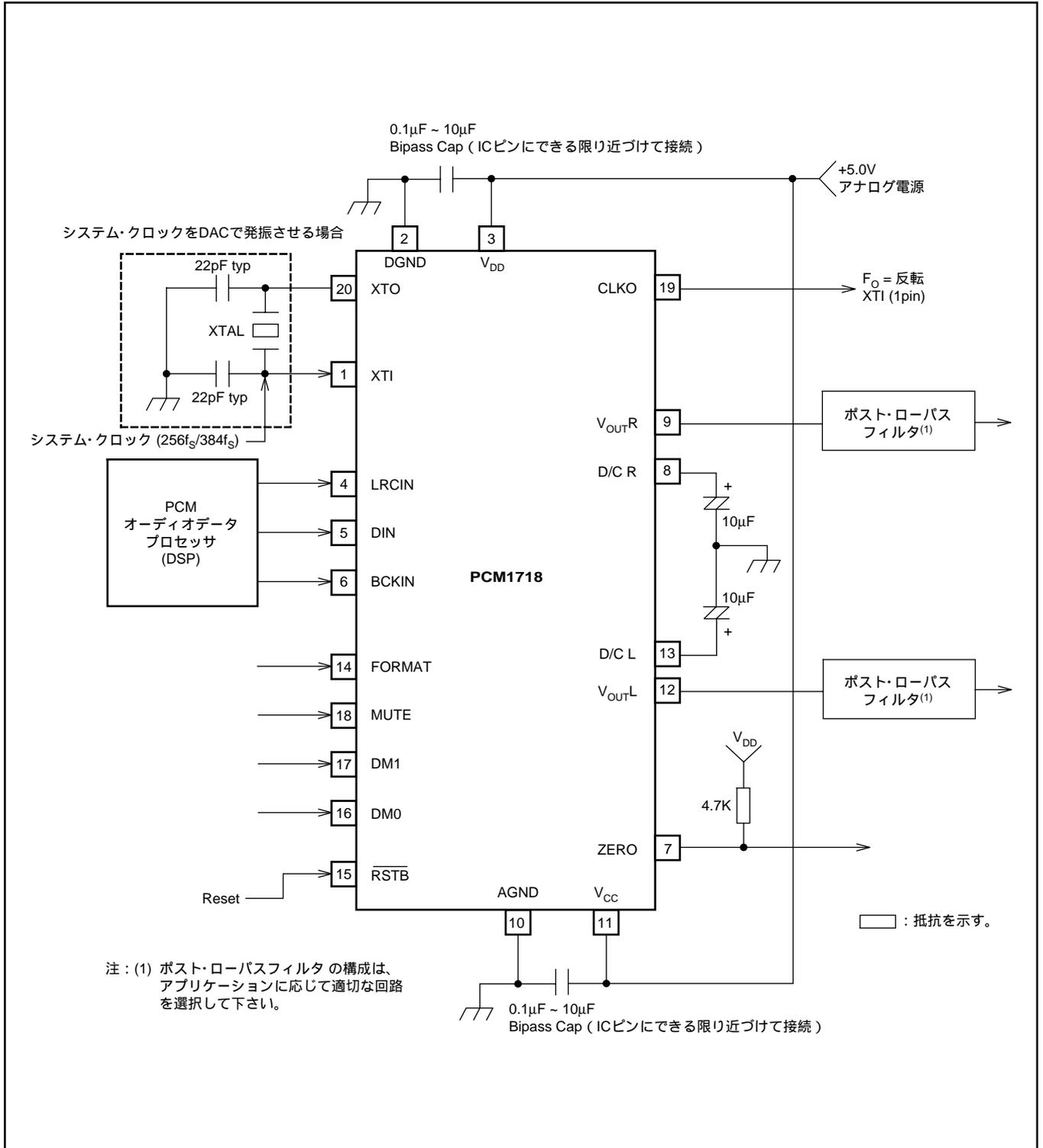


図11. 回路接続例

# アプリケーション

## パターン・レイアウトの考察

PCM1718の両面基板への実装パターン・レイアウト例を図12に示します。バイパスコンデンサは、電源ピン - グランド間になるべく低インピーダンスとなるよう近接させ、デジタル入力とアナ

ログ出力は物理的に距離をとり干渉を最小限にします。また、部品面ベタ・グランドはできる限り広くします。

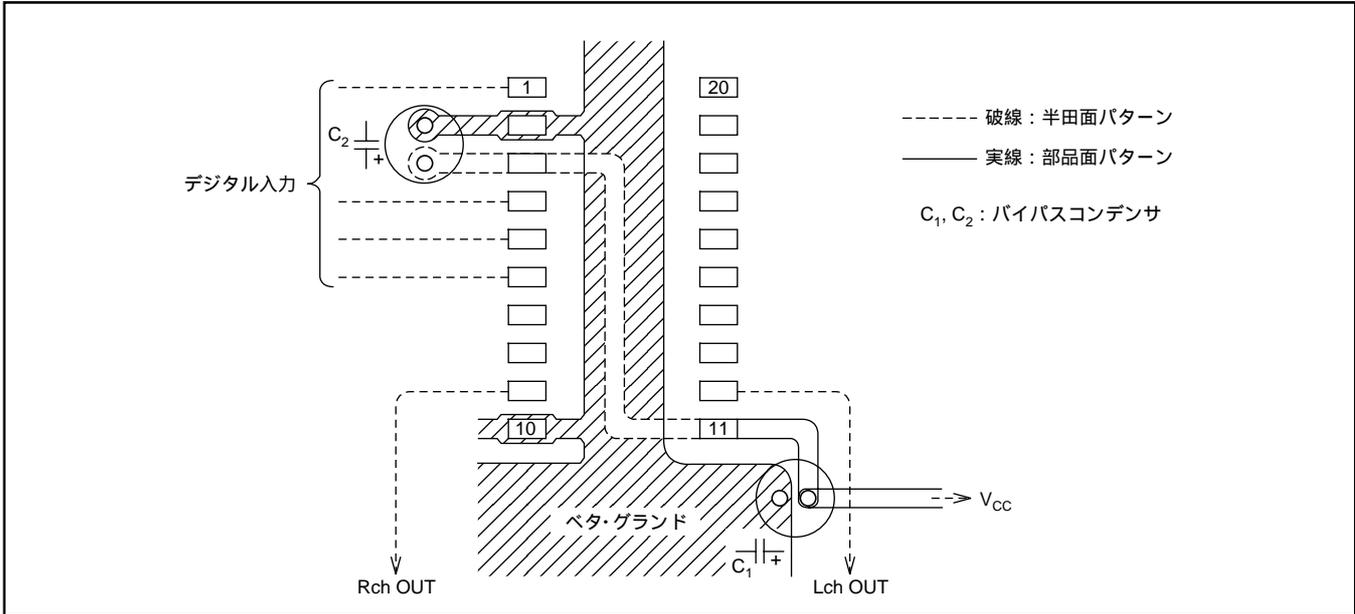


図12. PCM1718のパターン・レイアウト例

## ポスト・ローパスフィルタの考察

PCM1718のダイナミック特性(THD+N, S/N比等)は全て20kHzの帯域制限条件で規定しています。DAC出力に何らかのローパスフィルタを用いなくても、上記条件では測定時に20kHz LPFで帯域制限をするので所定の特性が得られます。

実際のアプリケーションにおいて、DACの帯域外ノイズを除去するには何らかのローパスフィルタが必要ですが、一般的には

CRによる1次パッシブ・ローパスフィルタまたはオペアンプによる2次から3次アクティブLPFが用いられています。この場合でも、ダイナミック特性の測定では20kHz帯域制限が必要です。図13にCRパッシブLPFによる出力波形実測例を示します(信号周波数 = 1kHz, 0dB出力)。

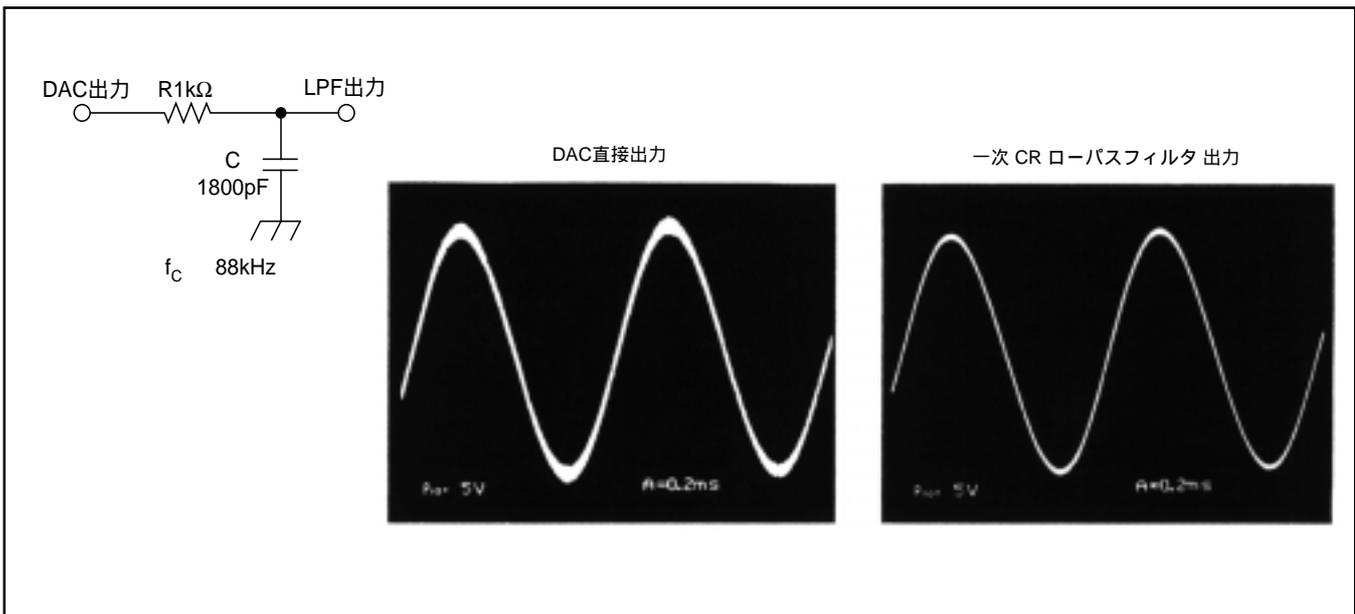
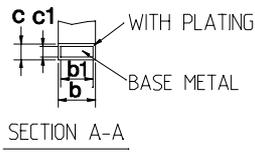
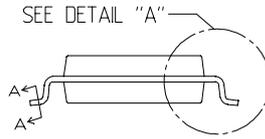
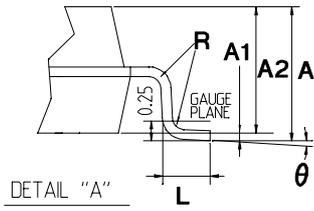
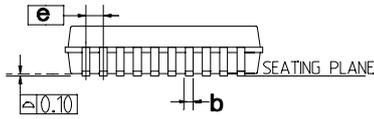
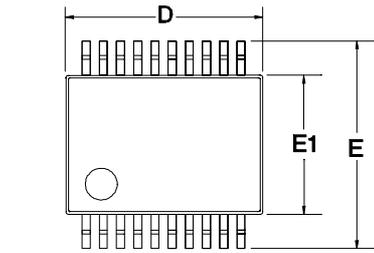


図13. CRパッシブ・ローパスフィルタによる出力波形実測例

# 外観

パッケージ：20ピンSSOP



DIM	MILLIMETERS		
	MIN	TYP	MAX
A	—	—	2.13
A1	0.05	—	0.25
A2	1.62	1.75	1.88
b	0.22	—	0.38
b1	0.22	0.30	0.33
c	0.09	—	0.20
c1	0.09	0.15	0.16
D	6.90	7.20	7.50
E	7.40	7.80	8.20
E1	5.00	5.30	5.60
e	—	0.65 BSC	—
L	0.63	0.90	1.03
R	0.09	—	—
$\theta$	0°	4°	8°